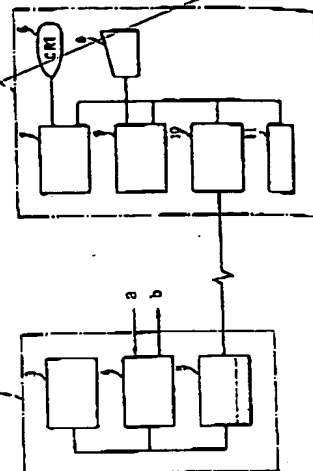


# (54) MONITORING METHOD OF PROGRAMMABLE LOGIC CONTROLLER OF RANDOM ACCESS DISCRETE ADDRESS DIAGRAM SYSTEM

(11) 57-60412 (A) (43) 12.4.1982 (19) JP  
(21) Appl. No. 55-135652 (22) 29.9.1980  
(71) TATEISHI DENKI K.K. (72) MASAOKA HOTSUTA  
(51) Int. Cl.<sup>3</sup> G05B23/02, G06F3/00

**PURPOSE:** To read an execution state of IL from a local display, too, by adding a state of an output inhibiting signal by an interlock IL instruction, to input/output states by a logical operation result in case when the instruction is executed, and executing its monitor display.

**CONSTITUTION:** A monitor device 2 inputs a program address range for specifying an instruction group to be monitored by a keyboard 8, and transmits its data to a transfer part 5 of a controller CTL1 from a transfer part 10. The CTL1 receives it, stores a monitor data regarding an instruction being within a program address range designated when the instruction is executed, in buffer memory of the transfer part 5, and transfers the monitor data to the transfer part 10 without discontinuing the operation of a main control part 3. The monitor data consists of a logical operation result in case when the instruction is executed, and a status data by an output inhibiting signal controlled by an IL instruction, and the device 2 decodes the monitor data by a display control part 7, and display an RADA diagram obtained by adding a state of the output inhibiting signal to input/output states, on a CRT 6.



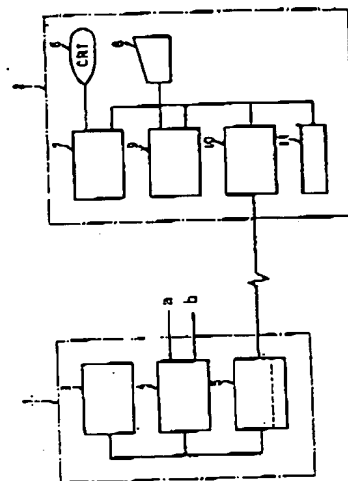
4: input/output circuit part, 9: keyboard control part, 11: buffer memory, a: external input, b: external output

# (54) MONITORING METHOD OF PROGRAMMABLE LOGIC CONTROLLER OF RANDOM ACCESS DISCRETE ADDRESS DIAGRAM SYSTEM

(11) 57-60413 (A) (43) 12.4.1982 (19) JP  
(21) Appl. No. 55-135653 (22) 29.9.1980  
(71) TATEISHI DENKI K.K. (72) YUKIO KATOU  
(51) Int. Cl.<sup>3</sup> G05B23/02, G06F3/00

**PURPOSE:** To read a jump processing state from a local display, too, by adding a state of an output updating inhibiting signal by a jump instruction, to input/output states by a logical operation result in case when the instruction is executed, and executing its monitor display.

**CONSTITUTION:** A monitor device 2 inputs a program address range for specifying an instruction group to be monitored by a keyboard 8, and transmits its data to a transfer part 5 of a controller CTL1 from a transfer part 10. The CTL1 receives it, stores a logical operation result in case when the instruction is executed within a program address range designated when the execution is executed, and a monitor data containing an output updating inhibiting signal by a jump instruction, in a buffer memory of the transfer part 5, and transfers the monitor data to the transfer part 10 without discontinuing the operation of a main control part 3. The device 2 decodes the monitor data by a display control part 7, and displays an RADA diagram obtained by adding a processing state of the jump instruction to an object circuit, on a CRT6.



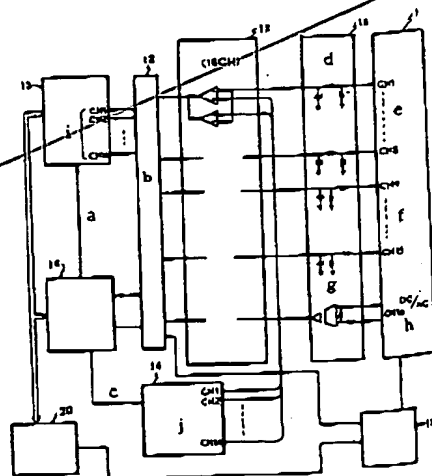
4: input/output circuit part, 9: keyboard control part, 11: buffer memory, a: external input, b: external output

# (54) AUTOMATIC TESTING DEVICE OF ELECTRIC POWER SOURCE

(11) 57-60414 (A) (43) 12.4.1982 (19) JP  
(21) Appl. No. 55-136477 (22) 30.9.1980  
(71) FUJITSU K.K. (72) TAMIO HOSHI(3)  
(51) Int. Cl.<sup>3</sup> G05B23/02

**PURPOSE:** To automatically measure the sequence timing of turn-on and turn-off at a high speed, by comparing plural number of supply voltage in case of operation with corresponding reference voltage, detecting the timing of the time of turn-on and turn-off of the electric power source, and inputting it to a timing measuring instrument.

**CONSTITUTION:** Plural number of supply voltage from a device to be tested 1 is inputted to a voltage comparing part 12 through an input interface matching part 11, and this voltage is compared with each corresponding reference voltage which has been set from a reference voltage generating part 14. In the comparing part 12, rise and fall of the voltage are detected by a pair of differential amplifiers connected in parallel, respectively, its detected output is analyzed through a driver 13 by a timing measuring part 15 controlled by a main control part 20, and the time of turn-on and turn-off is decided. The measuring part 15 is sampled and shifted in order by a high frequency clock from a comparator controlling circuit 16, and a variation point generation pattern of each supply voltage is stored. In this way, the measuring part measures the detection timing from the comparing part 12 at a high speed and with high accuracy by the time difference in accordance with the set sequence timing.



10: AC input control part (turn-on, turn-off), a: clock, b: driver, c: data, d: filter attenuator, e: low voltage input, f: high voltage input, g: isolator, h: input, i: input data, j: (D/A conversion)

⑨ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭57—60413

⑬ Int. Cl.<sup>3</sup>  
G 05 B 23/02  
G 06 F 3/00

識別記号

庁内整理番号  
7623—5H  
7737—5B

⑬ 公開 昭和57年(1982)4月12日

発明の数 1  
審査請求 未請求

(全 6 頁)

⑭ ラダーダイアグラム式・プログラマブル・ロ  
ジック・コントローラのモニタ方式

京都市右京区花園土堂町10番地  
立石電機株式会社内

⑮ 特 願 昭55—135653

⑮ 出 願 人 立石電機株式会社

⑯ 出 願 昭55(1980)9月29日

京都市右京区花園土堂町10番地

⑰ 発 明 者 加藤幸男

⑰ 代 理 人 弁理士 和田成則

明 細 書

1. 発明の名称

ラダーダイアグラム式・プログラマブル・ロジ  
ック・コントローラのモニタ方式

2. 特許請求の範囲

プログラムメモリに格納された命令群を高速で順次繰返し実行することにより、その命令群で表現された継電器ラダーダイアグラムのシーケンス制御を実現するもので、特にジャンプ命令に挟まれた命令群の実行時に、そのジャンプ命令の条件の成否に応じて出力更新を禁止するようにしたラダーダイアグラム式・プログラマブル・ロジック・コントローラにおいて、モニタ装置にて指定されたプログラムアドレス範囲の命令群の実行時に、各命令の内容と、その命令で指定された入出力アドレスの信号状態またはその命令実行時点の論理演算結果の少なくとも一方と、その命令実行時点での上配ジャンプ命令によつて制御される上配出力更新禁止信号の状態とを適宜なバッファを介して上配モニタ装置に伝送し、これらデータに

基づいて、入出力状態および上配出力更新禁止信号の状態を付加したラダーダイアグラムのモニタ表示を行なうことを特徴とするラダーダイアグラム式・プログラマブル・ロジック・コントローラのモニタ方式。

3. 発明の詳細な説明

この発明は、ラダーダイアグラム式・プログラマブル・ロジック・コントローラのモニタ方式に関する。

プログラムメモリに格納された命令群を高速で順次繰返し実行することにより、その命令群で表現された継電器ラダーダイアグラムのシーケンス制御を実現する周知のラダーダイアグラム式・プログラマブル・ロジック・コントローラにおいて、ジャンプ命令を定義し、ジャンプ命令に挟まれた命令群の実行時に、そのジャンプ命令の条件の成否に応じて出力更新を禁止するようにしたものがある。

上記ジャンプ命令を含むプログラムを継電器ラダーダイアグラムの形で第1図に示している。第

1 図において、A、Cはそれぞれジャンプ命令を現わし、Bはジャンプ命令の一種であるジャンプエンド命令を現わす。ジャンプ命令Aを命令フォーマットで表現すると、

OPコード	1/0アドレス
JMP	01

となり、1/0アドレス「01」の信号がオフ・0のときはジャンプせず、以下に続く回路部Bの命令群を通常どおり実行し、1/0アドレス「01」の信号がオン・1のとき、回路部Bの命令群をジャンプする。このジャンプするという意味は、この回路部Bに含まれる1/0アドレス「10」や「19」等の出力の状態を前の状態と変えないことを意味している。つまり、ジャンプ命令Aとジャンプ命令Cに挟まれた回路部Bの命令群の実行時には、ジャンプ命令Aの条件が成立している場合に、出力更新を禁止する。またジャンプ命令Cおよびジャンプエンド命令Eを命令フォーマットで表現すると、

OPコード	1/0アドレス
JMP	01
JME	00

となり、この両命令C、Eに挟まれた回路部Dの命令群の実行時には、ジャンプ命令Cの条件が成立（「01」＝「1」）のとき、出力更新を禁止する。

ところで、この種のコントローラでは、その動作中にその命令実行状態をモニタ装置（プログラムコンソール）にてモニタ表示することがよく行なわれる。従来のモニタ方式は、モニタすべきプログラムアドレス範囲を設定し、コントローラにてそのプログラムアドレス範囲の命令群が実行されたとき、各命令の内容と、その命令で指定された1/0アドレスの信号状態またはその命令実行時点の論理演算結果の少なくとも一万の信号を適宜なバッファを介して上記モニタ装置に伝送し、これらデータに基づいて、入出力状態を付加したラダーダイアグラムのモニタ表示をCRT等で行なっている。

第2図は従来のモニタ方式にて第1図の命令群

をある実行時点でモニタした場合の表示である。第2図の太線で現わしているのはオンしている入出力であり、細線で現わしているのはオフしている入出力である。このように、CRT画面上に入出力状態を付加したラダーダイアグラムが表示される。第2図に示すモニタ表示では、1/0アドレス「01」の信号はオンで、回路部Bの命令群は上述のジャンプ処理によつて出力更新禁止の状態で行なわれている。そのために回路部Bの表示では、例えば1/0アドレス「10」の出力の駆動ラインに直列に挿入されている2つの接点のうち一方がオフであるのに、出力「10」はオンとなっている。これはジャンプ処理以前の出力状態に保たれているのである。何故の理由で、出力「20」については、その駆動ライン中の接点がすべてオンしているのに、出力「20」はオフとなっている。

上記のようなモニタ表示における論理の合っていない表示は、その前段のジャンプ命令Aの表示を見れば、ジャンプ命令Aによる出力更新の禁止

処理がその原因であると理解できる。しかし、上記の例において、ジャンプ処理されている回路部Bが大規模であると、CRT画面の広さは限られているため、常にジャンプ命令Aの表示と回路部Bの表示を同一画面に現わすことができなくなり、回路部Bのみ、さらには回路部Bの一部のみしかモニタ表示されないような状況も当然生じる。その場合、上記のように論理の合っていないモニタ表示は、何が原因でそのようなになっているのかその表示からは判断できず、故障等と混同してしまい、オペレータを大いに困惑させてしまう。

この発明は上記した従来の問題に鑑みなされたもので、その目的は、モニタ表示が局部的であっても、ジャンプ処理の実行状態がその表示から容易に読取れるようにしたモニタ方式を提供することにある。

上記目的を達成するために、この発明は、モニタ装置にて指定されたプログラムアドレス範囲の命令群の実行時に、各命令の内容と、その命令で指定された入出力アドレスの信号状態またはその

命令実行時点の論理演算結果の少なくとも一方と、その命令実行時点での上記ジャンプ命令によつて制御される出力更新禁止信号の状態とを適宜なバッファを介して上記モニタ装置に伝送し、これらデータに基づいて、入出力状態および上記出力更新禁止信号の状態を付加したラダーダイアグラムをモニタ表示を行なうことを特徴とする。

以下、この発明の一実施例を図面に基づいて詳細に説明する。

第3図はプログラマブル・ロジック・コントローラ1およびモニタ装置2の概略構成を示す。コントローラ1は、主制御部3と、多数の外部入力と外部出力を主制御部3に結び付ける入出力回路部4と、モニタ装置2と主制御部3とのデータ転送を制御するバッファメモリを含んだデータ転送部5を有する。モニタ装置2は、CRT6と、CRT6の表示を制御する表示制御部7と、各種データ入力用のキーボード8と、このキーボード8を制御する制御部9と、上記コントローラ1のデータ転送部5と適宜な伝送線で結ばれるデータ

転送部10と、バッファメモリ11を有する。モニタ装置2において、キーボード8によりモニタすべき命令群を特定するプログラムアドレス範囲を入力し、そのデータを転送部10からコントローラ1の転送部5に伝送させる。これを受けてコントローラ1において、命令実行中に、指定されたプログラムアドレス範囲の命令に属するモニタデータが転送部5のバッファレジスタに蓄えられる。これが完了すると、主制御部3の動作を中断することなしに、転送部5から転送部10に上記モニタデータが転送される。するとモニタ装置2において、上記モニタデータが表示制御部7にて表示用に解説され、後述するようなラダーダイアグラムの形でCRT6に表示される。

第4図はコントローラ1の主制御部3の詳細を示す。主制御部3は、ユーザが周知のラダーダイアグラム式に記述し、所定の手順でプログラミングされた命令群を格納するプログラムメモリ12と、このプログラムメモリ12をアドレスリングするプログラムカウンタ13と、プログラムメモ

リ12から読出された1命令がストアされる命令レジスタ14と、命令レジスタ14中のOPコードを解説するデコーダ15と、上記入出力回路4の各ビットと対応したエリアを持つ入出力メモリ16と、全体を制御して命令で指定されたところの演算を実行する演算制御回路17と、演算制御回路17に付随した論理回路群を有している。

プログラムメモリ12に格納された命令群の実行が一巡する毎に(1スキヤン毎に)、その命令実行の結果、入出力メモリ16の出力データエリアに蓄えられた出力データを入出力回路4の対応する出力ポートにラッチするとともに(出力リフレッシュ動作)、入出力回路4の入力部に与えられているその時点の外部入力データを入出力メモリ16の対応する入力データエリアに読み込む動作(入力リフレッシュ動作)が高速に行なわれる。

プログラムカウンタ13は演算制御回路17からの信号で歩進される。プログラムカウンタ13でアドレスリングされ、プログラムメモリ12から読出された命令は命令レジスタ14にストアさ

れる。命令レジスタ14中の命令のうち、入出力アドレスデータは入出力メモリ16をアドレスリングし、OPコードは命令デコーダ15でデコードされる他、一語は直接制御値ともなる。命令デコーダ15の出力に従つて演算制御回路17が動作し、入出力メモリ16からデータの取込み、そのデータに基づく論理演算、論理演算結果の入出力メモリ16への取込み等が行なわれる。

よく知られた命令についてその動作を一応説明する。ロード命令(LD)の場合、入出力アドレスデータでアドレスリングされて入出力メモリ16の出力ポート10から読出されるデータを演算制御回路17を介して演算フリツアフロップ18(以下演算FF18と記す)に読み込む(この演算FF18は信号RESにより初期リセットされている)。つまり、演算制御回路17は、その入力ポート10から読込んだ信号をそのままポート11に出力し、クロックT<sub>1</sub>のタイミングで演算FF18に流込ませる。

アンド命令(AND)の場合、演算制御回路17

は、その入力ポート D<sub>i</sub> から読込んだ入出力データとポート P<sub>F</sub> から読込んだ演算 F<sub>F</sub> 18 の出力 Q<sub>i</sub> との AND をとり、その結果をポート D に出力し、クロック T<sub>i</sub> で演算 F<sub>F</sub> 18 に読込ませる。出力命令 (O<sub>R</sub>) は上記と同様に出力演算を行ない、その結果を演算 F<sub>F</sub> 18 に読込ませる。(なお、上述のビット演算については従来周知であるので、これを表現するための回路は、第 4 図では省略している。)

出力命令 (O<sub>R</sub>) の場合、命令デコーダ 15 の出力 O<sub>R</sub> T が '1' になり、NAND ゲート 19 に入力される。このとき、後にその作用を詳説するジャンプフリップフロップ 20 (以下ジャンプ F<sub>F</sub> と記す) がセットされていて Q<sub>i</sub> = '1' であれば、演算制御回路 17 からクロック T<sub>i</sub> が発生したとき、そのクロック T<sub>i</sub> が NAND ゲート 19 を通過し、入出力メモリ 16 に書き込みパルスとして印加される。この書き込みパルスを受けて、入出力アドレスデータでアドレスリングされている入出力メモリ 16 に、演算 F<sub>F</sub> 18 の出力 Q<sub>i</sub> (

これはそれ以前の演算演算結果である) が入出力メモリ 16 の入力ポート d<sub>i</sub> を介して書き込まれる。

上記ジャンプ F<sub>F</sub> 20 は、入出力メモリ 16 に対する読み書きを制御するためのもので、電源投入時に NOR ゲート 21 を介して印加される信号 R<sub>ES</sub> によつてセットされる。

ジャンプ命令 (J<sub>M</sub>P) の場合、まず最初のクロック T<sub>i</sub> のタイミングで入出力メモリ 16 から読出されたデータ (これがジャンプ命令の条件の成否を示す) が演算 F<sub>F</sub> 18 に読込まれる。次にクロック T<sub>i</sub> が発生したとき、命令デコーダ 15 の出力 J<sub>M</sub>P が '1' になっているので、クロック T<sub>i</sub> は AND ゲート 22 を通つてジャンプ F<sub>F</sub> 20 の T 入力に印加され、上記演算 F<sub>F</sub> 18 の反転出力  $\bar{Q}_i$  がジャンプ F<sub>F</sub> 20 に読込まれる。つまり、ジャンプ命令の条件が成立しており、演算 F<sub>F</sub> 18 の反転出力  $\bar{Q}_i$  が '0' であれば、ジャンプ F<sub>F</sub> 20 がリセットされて Q<sub>i</sub> = '0' となる。ジャンプ命令の条件が成立していなければ、ジャンプ F<sub>F</sub> 20 はセットされたまま (Q<sub>i</sub> = '1') で

ある。

ジャンプ F<sub>F</sub> 20 がリセットされて Q<sub>i</sub> = '0' となつている状態が、上述した出力更新禁止の状態である。つまり、ジャンプ F<sub>F</sub> 20 の出力 Q<sub>i</sub> が '0' であれば、出力命令の実行時にデコーダ 15 の出力 O<sub>R</sub> T が '1' になつても、入出力メモリ 16 の書き込みパルスとなるべきクロック T<sub>i</sub> は NAND ゲート 19 を通過できず、従つてその出力命令が実行されても、入出力メモリ 16 の出力データは書き換えられない。これがジャンプ処理である。付言すれば、この実施例にあつては、ジャンプの対象となつた命令も、最終 (出力) 結果を入出力メモリ 16 に伝えないものの、通常の命令同様に実行される。これによつてオンラインモニタが可能になるとともに、全命令を実行する時間おしい場合が一定になる点でジャンプエンド命令 (J<sub>M</sub>E) の場合、デコーダ 15 の出力 J<sub>M</sub>E が '1' となり、クロック T<sub>i</sub> が発生したとき、AND ゲート 23 および NOR ゲート 21 を介してジャンプ F<sub>F</sub> 20 がセットされ、その出力 Q<sub>i</sub> が '1' となり、上

述の出力更新禁止は解除され、出力命令も通常ど  
うり実行される。

ところで本発明のモニタ方式にあつては、プログラムカウンタ 13 の出力 (プログラムアドレス) と、命令レジスタ 14 の出力 (命令の内容) と、演算 F<sub>F</sub> 18 の出力 Q<sub>i</sub> (命令実行時点の論理演算結果) と、ジャンプ F<sub>F</sub> 20 の出力 Q<sub>i</sub> (命令実行時点の出力更新禁止信号) とが上記データ転送部 5 に導入される。そして、モニタ装置 2 からデータ転送部 5 に予め伝えられているモニタすべきプログラムアドレス範囲とプログラムカウンタ 13 の出力とが比較され、指定されたアドレス範囲の各命令の実行時に、その命令の内容と、出力 Q<sub>i</sub> と、出力 Q<sub>i</sub> とが 1 組のデータとしてデータ転送部 5 のバッファレジスタに与えられる。その後、上記データがモニタ装置 2 に伝送され、モニタ表示に解析され、例えば第 5 図のような形で、ジャンプ命令の処理状態を対象回路部に逐一付加したラダーダイアグラムが CRT 6 に表示される。この第 5 図は第 2 図に示した従来のモニタ表示と

まったく同一制御状態を表わしている。第5図の本発明によるモニタ表示では、ジャンプ命令Aの出力更新禁止の対象となつている回路部Bの各出力素子「10」、「20」にジャンプ中であることを表わす「J」という表示を付加している。従つて、この回路部Bのみ、あるいは回路部Bの一部のみがCRT画面に表示されても、入力論理と出力論理が合っていないおかしな表示は、ジャンプ処理によるものであることが容易に理解でき、オペレータを困惑させることがなくなる。

なお、演算FF1.8の出力Q<sub>1</sub>に代えて入出力メモリ16の出力をモニタしても、上記と同様なモニタ表示を得ることができる。又、先の実施例では、ジャンプに関する表示を出力素子の位置に対応させたが、他の位置であつてもよい。

以上詳細に説明したように、この発明によるラダーダイアグラム式プログラマブル・ロジック・コントローラのモニタ方式によれば、ジャンプ命令を含んだプログラムの実行状況を極めて理解しやすい形でモニタすることができる。

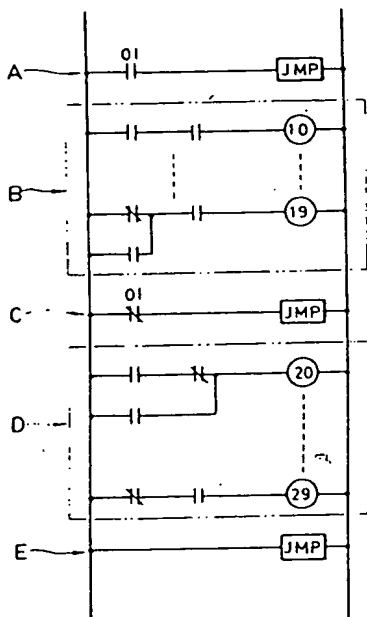
#### 4. 図面の簡単な説明

第1図はジャンプ命令を含んだプログラム例を示す図、第2図は従来のモニタ表示例を示す図、第3図はコントローラとモニタ装置の概略構成図、第4図は本発明を適用したコントローラの要部構成図、第5図は本発明によるモニタ表示例を示す図である。

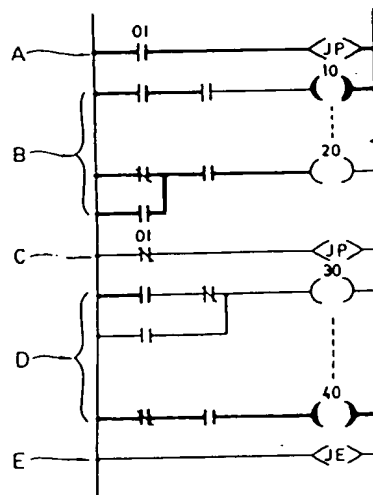
- 1・・・コントローラ
- 2・・・モニタ装置
- 12・・・プログラムメモリ
- 14・・・命令レジスタ
- 16・・・入出力メモリ
- 18・・・演算フリップフロップ
- 20・・・ジャンプフリップフロップ

特許出願人 立石電機株式会社  
代理人弁理士 和田 成 剛

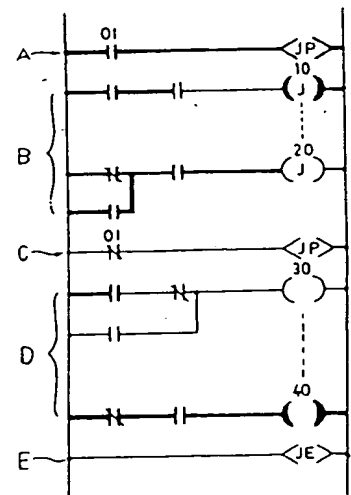
第1図



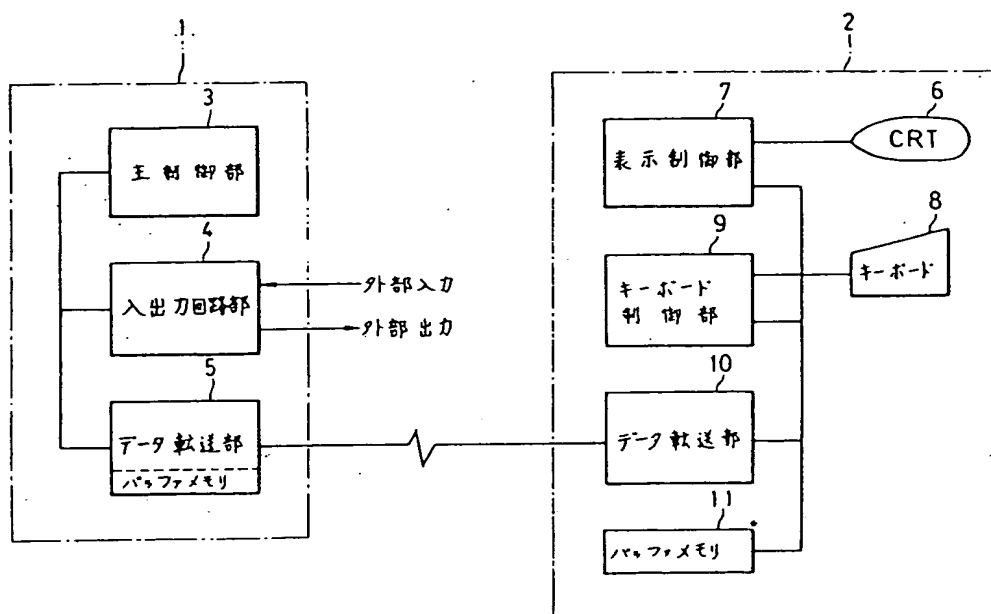
第2図



第5図



第 3 図



第 4 図

